

Non-volatile memory cell device, e.g. ROM cell

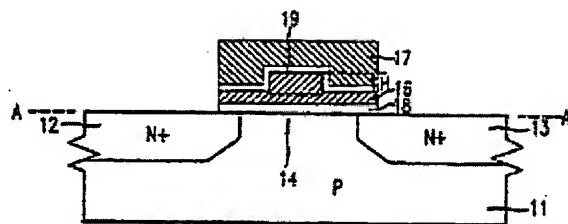
Patent number: DE19617632
Publication date: 1997-07-03
Inventor: KIM SHI HO (KR)
Applicant: LG SEMICON CO LTD (KR)
Classification:
- international: H01L27/115; H01L21/8247
- european: H01L27/115; H01L21/8247; H01L29/423D2B2
Application number: DE19961017632 19960502
Priority number(s): KR19950056312 19951226

Also published as:

JP9186257 (A)

Abstract of DE19617632

The device includes p-type conductivity substrate (11) in whose preset part is formed an active region with n-type source (12) and drain (13) regions and a p-type channel (14) region. Between the source and drain, on the substrate surface is formed a floating gate (16). The floating gate has a reversed, T-shaped structure, and a control gate (17) is located on the floating gate structure. Preferred the active region and control gate are mutually orthogonal. Between the substrate and floating gate extends a thin gate insulating film (18), permitting electron tunnelling.



Data supplied from the **esp@cenet** database - Worldwide



①9 BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENTAMT

①2 Offenlegungsschrift
①0 DE 196 17 632 A 1

⑤1 Int. Cl.⁸:
H 01 L 27/115
H 01 L 21/8247

②1 Aktenzeichen: 196 17 632.8
②2 Anmeldetag: 2. 5. 98
④3 Offenlegungstag: 3. 7. 97

DE 196 17 632 A 1

③0 Unionspriorität:

26.12.95 KR 56312/95

⑦1 Anmelder:

LG Semicon Co., Ltd., Cheongju, KR

⑦4 Vertreter:

TER MEER STEINMEISTER & Partner GbR
Patentanwälte, 81679 München

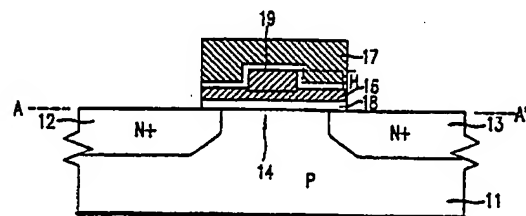
⑦2 Erfinder:

Kim, Shi Ho, Seoul/Soul, KR

Prüfungsantrag gem. § 44 PatG ist gestellt

⑤4 Nichtflüchtige Speicherzelle und Verfahren zu ihrer Herstellung

⑤7 Eine nicht flüchtige bzw. Permanentspeicherzelle enthält ein Substrat (11) eines ersten Leitungstyps; einen aktiven Bereich (15) in einem vorbestimmten Teil des Substrats (11) vom ersten Leitungstyp, wobei sich im aktiven Bereich (15) ein Sourcebereich (12) und ein Drainbereich (13) eines zweiten Leitungstyps mit einem zwischen Source (12) und Drain (13) liegenden Kanalbereich (14) befinden; ein Floatinggate (16) mit umgekehrt T-förmiger Struktur auf der Oberfläche des Substrats (11) zwischen Source (12) und Drain (13); und ein Steuergate (17) auf der Oberfläche des Floatinggates (16), das die umgekehrt T-förmige Struktur aufweist. Durch das so ausgebildete Floatinggate (16) läßt sich die Kapazität zwischen Floatinggate (16) und Steuergate (17) in einfacher Weise einstellen.



DE 196 17 632 A 1

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

BUNDESDRUCKEREI 05. 97 702 027/357

15/23

Die Erfindung bezieht sich auf eine nichtflüchtige Speicherzelle bzw. Permanentspeicherzelle, die beispielsweise ein EPROM, EEPROM oder ein Flash-Speicher sein kann. Ferner bezieht sich die Erfindung auf ein Verfahren zur Herstellung einer derartigen Speicherzelle.

Elektrisch programmierbare Nur-Lesespeicher (EPROM), elektrisch löschbare und programmierbare Nur-Lesespeicher (EEPROM) und Flash-Speicher sind Permanentspeicher bzw. nichtflüchtige Speicher, die elektrisch programmierbar sind.

Eine konventionelle Permanentspeicherzelle wird nachfolgend unter Bezugnahme auf die Fig. 1A, 1B und 1C näher beschrieben. Dabei zeigt die Fig. 1A eine Draufsicht auf die konventionelle, nichtflüchtige Speicherzelle.

Entsprechend der Fig. 1A enthält ein zuerst gebildeter aktiver Bereich 4 einen Sourcebereich 1, einen Drainbereich 2 und einen Kanalbereich 3. Zwischen Source 1 und Drain 2 liegt ein anschließend gebildetes Floatinggate 5. Beide Kantenbereiche des Floatinggates 5 überlappen sich dabei jeweils mit einem Teil des Sourcebereichs 1 und des Drainbereichs 2. Senkrecht zum aktiven Bereich 4 verläuft ein Steuergate 6 oberhalb des Floatinggates 5. Source 1, Drain 2, Kanalbereich 3 und Floatinggate 5 bilden dabei einen MOS-Transistor.

Die Fig. 1B zeigt einen Querschnitt entlang der Linie A-A' von Fig. 1A. Source 1 und Drain 2 mit vorbestimmtem Abstand voneinander befinden sich in einem vorbestimmten Bereich eines P-Typ Substrats 7. Ein Teil des Substrats 7 zwischen Source 1 und Drain 2 bildet dabei den Kanalbereich 3. Ein Gate-Isolationsschicht 8 wird auf einem Teil des Substrats 7 gebildet, und zwar zwischen Source 1 und Drain 2. Dabei überdeckt die Gate-Isolationsschicht 8 in ihren Kantenbereichen zum Teil den Sourcebereich 1 sowie den Drainbereich 2. Anschließend werden auf der Gate-Isolationsschicht 8 das Floatinggate 5 und darüberliegend ein Steuergate 6 gebildet. Zwischen Floatinggate 5 und Steuergate 6 befindet sich eine Isolationsschicht 9.

Die Fig. 1C zeigt einen Querschnitt entlang der Linie B-B' von Fig. 1A. Gemäß Fig. 1C befinden sich zwei Kanalstoppbereiche 10a und 10b in einem vorbestimmten Teil des P-Typ Substrats 7, um in einem Array von nichtflüchtigen Speicherzellen benachbarte Zellen gegeneinander elektrisch zu isolieren. Der Bereich des P-Typ Substrats 7 zwischen den Kanalstoppbereichen 10a und 10b definiert die Breite des aktiven Bereichs 4. Die Isolationsschicht 8 wird auf einem Teil des P-Typ Substrats 7 gebildet, der zwischen den Kanalstoppbereichen 10a und 10b liegt, wobei die Isolationsschicht 8 an ihren Kanten auch die Kanalstoppbereiche 10a und 10b zum Teil überlagert. Danach werden das Floatinggate 5 und das Steuergate 6 auf der Gate-Isolationsschicht 8 nacheinander gebildet, wie bereits erwähnt.

Wie die Fig. 1A bis 1C erkennen lassen, wird das Floatinggate 5 als Gate-Elektrode des Feldeffekttransistors unterhalb des Steuergates 6 gebildet und überlagert mit seinen Randbereichen zum Teil Source 1, Drain 2 sowie die Kanalstoppbereiche 10a und 10b. Dabei ist das Floatinggate 5 gegenüber dem Sourcebereich 1, dem Drainbereich 2 und dem Kanalbereich 3 des Transistors durch die dünne Gate-Isolationsschicht 8 isoliert. Das Steuergate 6 liegt auf dem Floatinggate 5 und ist mittels der Isolationsschicht 9 gegenüber dem Floatinggate 5 elektrisch isoliert. Dabei bildet das Steuergate 6

einen Kondensator zusammen mit dem Floatinggate 5 und der Isolationsschicht 9. Im vorliegenden Fall wird eine Schwellenspannung (V_T) in Abhängigkeit der Größe der im Floatinggate 5 gespeicherten Ladung gesteuert.

Der Betrieb der konventionellen Permanentspeicherzelle nach den Fig. 1A, 1B und 1C wird nachfolgend näher beschrieben.

In Übereinstimmung mit einem Programmier- oder Löschbetrieb der Zelle wird die Schwellenspannung des Transistors bezüglich eines oder zweier Zustände programmiert, und zwar abhängig von der Größe der Ladung, die in das Floatinggate 5 vom Kanalbereich 3 über die dünne Gate-Isolationsschicht 8 injiziert wird. Der Zustand der programmierten Schwellenspannung des Transistors wird dadurch ausgelesen, daß der Pegel des Stroms gemessen wird, der durch den Transistor hindurchfließt, wenn geeignete Spannungen am Sourcebereich 1, am Drainbereich 2 und am Steuergate 6 anliegen.

Genauer gesagt zeigt der Pegel des durch den Transistor hindurchfließenden Stroms an, ob in den Transistor der durch das Steuergate ausgewählten Zelle der Zustand "EIN" oder der Zustand "AUS" einprogrammiert wurde. Bezüglich des Lesebetriebs bedeutet das das Lesen einer logischen "Null" oder einer logischen "Eins", je nachdem, ob der Transistor elektrisch in den Zustand "EIN" oder in den Zustand "AUS" gebracht wurde.

Bei einem konventionellen EPROM wird der programmierte Zustand durch Bestrahlung mit Ultraviolettstrahlung gelöscht, während bei einem EEPROM oder einem Flash-Speicher der Löschbetrieb dadurch elektrisch erfolgt, daß im Floatinggate gespeicherte Ladungen über die dünne Gate-Isolationsschicht übertragen werden.

Die Fig. 2 zeigt ein Ersatzschaltbild eines Kondensators im Permanentspeicher nach den Fig. 1A, 1B und 1C. Entsprechend der Fig. 2 bildet das Floatinggate der nichtflüchtigen Speicherzelle Kondensatoren C1, C2, C3 und C4 jeweils mit dem Sourcebereich 1, dem Drainbereich 2, dem Kanalbereich 3 und dem Steuergate 6. Dabei läßt sich in Fig. 2 die kapazitive Kopplung des Floatinggates 5 durch ein Kopplungsverhältnis darstellen. Dieses Kopplungsverhältnis wird durch folgende Gleichung (1) ausgedrückt.

$$CC = C1 / (C1 + C2 + C3 + C4) \quad (1).$$

Wird die nichtflüchtige Speicherzelle gelöscht, so bestimmt sich die Spannung des Floatinggates 5 durch die am Steuergate 6 angelegte Spannung. Der am Floatinggate 5 anliegende Spannungswert hängt somit von einem Wert ab, der sich durch den Spannungswert am Steuergate 6, multipliziert mit dem Kopplungsverhältnis CC, ergibt. Liegt das Kopplungsverhältnis CC näher bei dem Wert 1,0, so werden idealere Verhältnisse beim Programmier- oder Löschbetrieb der nichtflüchtigen Speicherzelle erhalten.

Allerdings weist die konventionelle nichtflüchtige Speicherzelle gemäß den Fig. 1A, 1B und 1C einige Nachteile auf. Um bei der konventionellen nichtflüchtigen Speicherzelle das Kopplungsverhältnis zu erhöhen, muß der Kapazitätswert des Kondensators C1 vergrößert werden. Zur Vergrößerung der Kapazität des Kondensators C1 ist jedoch eine Vergrößerung des Bereichs des Floatinggates 5 erforderlich. Wird aber der Bereich des Floatinggates 5 vergrößert, so vergrößert sich auch der Überlagerungsbereich von Steuergate 6 und Floa-

tinggate 5, was wiederum zu einer Vergrößerung der Kapazität des Kondensators C1 führt. Darüber hinaus vergrößert sich auch der Überlagerungsbereich von Floatinggate 5 und Kanalbereich 3, was eine Vergrößerung des Kapazitätswerts des Kondensators C3 zur Folge hat. Demzufolge läßt sich das Kapazitätskopplungsverhältnis CC nicht ohne weiteres vergrößern.

Um das Kopplungsverhältnis CC wirksam zu vergrößern, sollte nur die Kapazität des Kondensators C1 vergrößert werden. Dies läßt sich auf unterschiedliche Weise erreichen. Zunächst sollte ein Ferroelektrikum mit großer Dielektrizitätskonstanten als Isolationsschicht 9 zwischen Steuergate 6 und Floatinggate 5 verwendet werden. Gegenwärtig kommt eine Stapelstruktur aus dielektrischen Schichten mit effektiver Dielektrizitätskonstante zum Einsatz, die größer ist als die einer Siliziumschicht, um die oben erwähnte Isolationsschicht zu erhalten. Hauptsächlich wird zur Bildung der Stapelstruktur die Kombination Siliziumoxidschicht/Nitridschicht/Siliziumoxidschicht oder die Kombination Nitridschicht/Siliziumoxidschicht verwendet. Allerdings ist ein Ferroelektrikum mit großer Dielektrizitätskonstanten nicht zuverlässig genug in einem hohen elektrischen Feld, so daß es sich praktisch nicht verwenden läßt.

Andererseits kann das Kopplungsverhältnis dadurch vergrößert werden, daß die Dicke der Isolationsschicht zwischen Steuergate 6 und Floatinggate 5 verringert wird. Ist jedoch die Dicke der Isolationsschicht zu dünn, so kann sich hierdurch die Zuverlässigkeit der nichtflüchtigen Speicherzelle stark vermindern, insbesondere in einem hohen elektrischen Feld. Die genannte Isolationsschicht kann daher nicht beliebig dünn hergestellt werden, obwohl eine entsprechende Herstellungstechnologie zur Verfügung steht.

Schließlich läßt sich das Koppelverhältnis noch dadurch vergrößern, daß nur der Überlappungsbereich von Floatinggate 5 und Steuergate 6 vergrößert wird, während der Überlappungsbereich von Floatinggate 5 und Kanalbereich 3 konstant bleibt. Dieses Verfahren ist in der US-PS 5,089,869 offenbart, mit dem sich der wirksame Flächenbereich des Kondensators C1 dadurch erhöhen läßt, daß ein texturierter Polysiliziumprozeß zum Einsatz kommt. Dieses Verfahren ist jedoch so kompliziert und schwierig auszuführen, daß praktisch keine zuverlässig wirkende Isolationsschicht erhalten wird. Dieses Verfahren kommt somit nicht häufig zum Einsatz.

Der Erfindung liegt die Aufgabe zugrunde, eine nichtflüchtige Speicherzelle zu schaffen, bei der durch einfache Maßnahmen der Überlappungs- bzw. Überlagerungsbereich von Steuergate und Floatinggate vergrößert ist, um das Kapazitätskopplungsverhältnis anzuheben. Ferner soll ein geeignetes Verfahren zur Bildung einer derartigen nichtflüchtigen Speicherzelle angegeben werden.

Eine nichtflüchtige Speicherzelle bzw. Permanent-speicherzelle nach der Erfindung enthält: ein Substrat eines ersten Leitfähigkeitstyps; einen aktiven Bereich in einem vorbestimmten Teil des Substrats vom ersten Leitfähigkeitstyp, wobei im aktiven Bereich ein Sourcebereich und ein Drainbereich jeweils vom zweiten Leitfähigkeitstyp sowie ein Kanalbereich zwischen Sourcebereich und Drainbereich vorhanden sind; ein Floatinggate mit einer umgekehrt T-förmigen Struktur auf der Oberfläche zwischen Source und Drain; und ein Steuergate auf der Oberfläche des Floatinggates, das die umgekehrte T-förmige Struktur aufweist.

Ein Verfahren nach der Erfindung zur Herstellung der nichtflüchtigen Speicherzelle umfaßt folgende Schritte: Auf einem Substrat eines ersten Leitfähigkeitstyps werden aufeinanderfolgend und übereinanderliegend eine erste Isolationsschicht als Gate-Isolationsschicht und eine erste leitende Schicht aufgebracht; Bildung einer ersten Maske mit einem Öffnungsbereich auf einem vorbestimmten Teil der Oberfläche der ersten leitenden Schicht; Bildung einer zweiten leitenden Schicht auf der Oberfläche der ersten Maske und auch im Öffnungsbereich sowie Rückätzen der zweiten leitenden Schicht bis zur Oberfläche der ersten Maske, um ein zweites leitendes Schichtmuster im Öffnungsbereich zu erhalten; Entfernen der ersten Maske und sequentielles Aufbringen einer zweiten Isolationsschicht und einer dritten leitenden Schicht auf die Oberfläche des zweiten leitenden Schichtmusters sowie auf den freiliegenden Teil der ersten leitenden Schicht; Bildung einer zweiten Maske, die breiter ist als der Öffnungsbereich der ersten Maske, auf einem vorbestimmten Teil der dritten leitenden Schicht, die auf dem zweiten leitenden Schichtmuster liegt, um anschließend die dritte leitende Schicht, die zweite Isolationsschicht und die erste leitende Schicht zu strukturieren, ggf. gemeinsam, um ein erstes leitendes Schichtmuster, ein erstes Isolationsschichtmuster als Kondensatorisolationsschicht und ein drittes leitendes Schichtmuster als Steuergate zu erhalten; und Implantieren eines Dotierstoffs vom zweiten Leitfähigkeitstyp in das Substrat unter Verwendung des dritten leitenden Schichtmusters als Ionenimplantationsmaske, um im Substrat unter vorbestimmtem Abstand liegende Verunreinigungsdiffusionsbereiche zu erhalten, die als Source- bzw. Drainbereich dienen.

Die Erfindung wird nachfolgend unter Bezugnahme auf die Zeichnung näher beschrieben. Es zeigen:

Fig. 1A eine Draufsicht auf eine konventionelle nichtflüchtige Speicherzelle;

Fig. 1B einen Querschnitt entlang der Linie A-A' von Fig. 1A;

Fig. 1C einen Querschnitt entlang der Linie B-B' von Fig. 1A;

Fig. 2 ein Ersatzschaltbild eines Kondensators der konventionellen nichtflüchtigen Speicherzelle;

Fig. 3 ein Konzeptdiagramm zur Erläuterung der vorliegenden Erfindung;

Fig. 4A eine Draufsicht auf eine nichtflüchtige Speicherzelle bzw. Permanent-speicherzelle nach einem ersten Ausführungsbeispiel der Erfindung;

Fig. 4B einen Querschnitt entlang der Linie A-A' von Fig. 4A;

Fig. 4C einen Querschnitt entlang der Linie B-B' von Fig. 4A;

Fig. 5A bis 5H Querschnitte zur Erläuterung eines Herstellungsprozesses der nichtflüchtigen Speicherzelle nach der Erfindung;

Fig. 6A eine Draufsicht auf eine nichtflüchtige Speicherzelle nach einem zweiten Ausführungsbeispiel der Erfindung;

Fig. 6B einen Querschnitt entlang der Linie A-A' von Fig. 6A; und

Fig. 6C einen Querschnitt entlang der Linie B-B' von Fig. 6A.

Nachfolgend werden bevorzugte Ausführungsbeispiele der Erfindung unter Verwendung der beiliegenden Zeichnungen im einzelnen erläutert.

Die Fig. 3 zeigt ein Konzeptdiagramm der Erfindung. Entsprechend der Fig. 3 weist das Floatinggate eine inverse T-förmige Struktur auf, während ein Steuergate

die gesamte Oberfläche des Floatinggates abdeckt, um den Überlagerungsbereich von Floatinggate und Steuergate bei der erfindungsgemäßen nichtflüchtigen Speicherzelle zu vergrößern.

1. Ausführungsbeispiel

Die Fig. 4A zeigt eine Draufsicht auf eine nichtflüchtige Speicherzelle nach einem ersten Ausführungsbeispiel der vorliegenden Erfindung. Entsprechend der Fig. 4A enthält die nichtflüchtige Speicherzelle nach dem ersten Ausführungsbeispiel der Erfindung u. a. ein Substrat 11 eines ersten Leitfähigkeitstyps (P-Typ Substrat in Fig. 4A), einen aktiven Bereich 15 in einem vorbestimmten Teil des Substrats 11 vom ersten Leitfähigkeitstyp, das z. B. ein P-Typ Substrat ist, einen Sourcebereich 12 und einen Drainbereich 13 jeweils eines zweiten Leitfähigkeitstyps, z. B. des N+ Typs, einen Kanalbereich 14 zwischen Source 12 und Drain 13, ein Floatinggate 16 mit umgekehrter T-förmiger Struktur auf der Oberfläche des Substrats 11 zwischen Source 12 und Drain 13, sowie ein Steuergate 17 auf der Oberfläche bzw. oberen Fläche des Floatinggates 16, das die inverse T-Form aufweist.

Die umgekehrte T-förmige Struktur des Floatinggates 16 erstreckt sich in derselben Richtung, in der sich auch das Steuergate 17 erstreckt, wobei diese Richtung senkrecht zur Richtung des aktiven Bereichs 15 verläuft. Wie die Fig. 4A erkennen läßt, verlaufen der aktive Bereich 15 und das Steuergate 17 entlang senkrecht zueinander stehender Richtungen. Das Floatinggate 16 liegt auf der Oberfläche des Substrats 11 vom ersten Leitfähigkeitstyp zwischen Source 12 und Drain 13 und weist, wie bereits erwähnt, die umgekehrte T-förmige Struktur auf, die sich in Richtung senkrecht zum aktiven Bereich 15 erstreckt. Der aktive Bereich 15 erstreckt sich dabei mit seiner Längsrichtung in Fig. 4C senkrecht zur Zeichenebene. Das bedeutet, daß beide Kanten des Floatinggates 16 jeweils einen Teil von Source 12 und Drain 13 überlappen. Wie beim Stand der Technik bilden auch hier Source 12, Drain 13, Kanalbereich 14 und Floatinggate 16 einen MOS Transistor.

Die Fig. 4B zeigt einen Querschnitt der nichtflüchtigen Speicherzelle nach der Erfindung entlang der Linie A-A' von Fig. 4A. Entsprechend der Fig. 4B sind Source 12 und Drain 13 vom zweiten Leitfähigkeitstyp, also vom N+ Typ, in der Oberfläche des Substrats 11 vom ersten Leitfähigkeitstyp vorhanden, wobei zwischen ihnen ein vorbestimmter Abstand liegt. Der Bereich zwischen Source 12 und Drain 13 bildet den Kanalbereich 14.

Eine Gate-Isolationsschicht 18 liegt auf der Oberfläche des Substrats 11 oberhalb des Kanalbereichs 14 zwischen Source 12 und Drain 13. Beide gegenüberliegenden Kanten der Gate-Isolationsschicht 18 überlappen dabei jeweils einen Teil von Source 12 und Drain 13. Die Gate-Isolationsschicht 18 ist hier hinreichend dünn, um ein Tunneln von Elektronen zu ermöglichen. Floatinggate 16, Isolationsschicht 19 und Steuergate 17 werden der Reihe nach auf der Gate-Isolationsschicht 18 gebildet. Die Isolationsschicht 19 dient hierbei zur Isolierung des Floatinggates 16 gegenüber dem Steuergate 17. Gemäß Fig. 4B kann die Höhe H des oberen Teils des Floatinggates 16 mit inverser T-förmiger Struktur eingestellt werden, um eine gewünschte Kapazität zwischen Steuergate 17 und Floatinggate 16 zu erhalten. Die Höhe H kennzeichnet also bei dem T die Länge des vertikalen Zentralteils.

Die Fig. 4C zeigt einen Querschnitt durch die nichtflüchtige Speicherzelle nach der Erfindung entlang der Linie B-B' von Fig. 4A. Entsprechend der Fig. 4C befinden sich zwei Kanalstoppbereiche 20a und 20b in vorbestimmten Bereichen an der Oberfläche des Substrats 11 vom ersten Leitfähigkeitstyp, um in einem Array nichtflüchtiger Speicherzellen benachbarte Zellen voneinander elektrisch zu isolieren. Der Bereich des P-Typ Substrats 11 zwischen den Kanalstoppbereichen 20a und 20b definiert hier die Breite des aktiven Bereichs 15 in Fig. 4A. Die Breite des aktiven Bereichs 15 ist also durch den Abstand der Kanalstoppbereiche 20a und 20b voneinander gegeben. Beide Kanten des Floatinggates 16 überlappen dabei die zueinandergerichteten Kanten der Kanalstoppbereiche 20a und 20b. Die Gate-Isolationsschicht 18 befindet sich auf einem Teil des Substrats 11 zwischen den Kanalstoppbereichen 20a und 20b. Sie kommt auch zwischen den Kanalstoppbereichen 20a, 20b einerseits und dem Floatinggate 16 andererseits zu liegen. Floatinggate 16, Isolationsschicht 19 und Steuergate 17 werden dann nacheinander auf der Gate-Isolationsschicht 18 gebildet.

In den Fig. 4B und 4C ist das Material vom ersten Leitfähigkeitstyp zur Bildung des Substrats 11 ein P-Typ Silizium, wobei Source 12 und Drain 13 sogenannte N+ Typ Verunreinigungsdiffusionsbereiche innerhalb des Substrats 11 sind. Das Material des Floatinggates 16 und des Steuergates 17 ist N+ Typ Polysilizium. Die Isolationsschicht 19, die das Steuergate 17 gegenüber dem Floatinggate 16 elektrisch isoliert, besteht aus einer Siliziumoxidschicht oder aus einer mehrere Isolierschichten aufweisenden Stapelstruktur, die z. B. eine Struktur aus einer Siliziumoxidschicht/Nitridschicht/Siliziumoxidschicht (ONO-Struktur) sein kann oder eine solche aus einer Nitridschicht/Siliziumoxidschicht (NO-Struktur).

Wie oben beschrieben, weist die nichtflüchtige Speicherzelle nach der Erfindung ein Floatinggate 16 auf, das als Gate des MOS Transistors dient und eine inverse T-förmige Form besitzt. Dabei erstreckt sich das Floatinggate 16 in derselben Richtung wie das Steuergate 17. Das Floatinggate 16 wird dabei durch das Steuergate 17 abgedeckt, liegt also unter diesem. Das Floatinggate 16 ist elektrisch isoliert gegenüber der Source 12, dem Drain 13 und dem Kanalbereich 14 des MOS Transistors, und zwar durch die dünne Gate-Isolationsschicht 18. Dagegen wird das Steuergate 17 gegenüber dem Floatinggate 16, der Source 12, dem Drain 13 und dem Kanalbereich 14 durch die Gate-Isolationsschicht 18 und die Isolationsschicht 19 elektrisch isoliert; nicht zuletzt bildet das Steuergate 17 zusammen mit dem Floatinggate 16 über die Isolationsschicht 19 einen Kondensator.

Wie bereits erwähnt, liegt das Floatinggate in Form eines umgekehrten T-Profiles vor. Die Dachfläche des T-Profiles liegt dabei auf der dünnen Gate-Isolationsschicht 18. Der zentrale Teil des T-Profiles weist nach oben senkrecht zur Substratoberfläche. Die Profillängsrichtung erstreckt sich parallel zur Substratoberfläche und senkrecht zur Längsrichtung des aktiven Bereichs 15. Das Steuergate 17 liegt oberhalb des T-Profiles und erstreckt sich ebenfalls in dessen Längsrichtung, wobei das Steuergate 17 den vertikalen Zentralteil des T-Profiles vom freien Ende her beidseitig übergreift. Wie die Fig. 4B erkennen läßt, liegt der Querschnitt des Profils des Steuergates 17 in Form eines umgekehrten U's vor.

Ein Ersatzschaltbild für die nichtflüchtige Speicherzelle nach der Erfindung und des Kondensators nach

dem ersten Ausführungsbeispiel der Erfindung stimmt mit dem in Fig. 2 überein: Hierauf soll nicht nochmals eingegangen werden. Auch der grundlegende Programmier-, Löscho- und Lesebetrieb bei der erfindungsgemäßen Zelle ist derselbe wie bei der Zelle nach dem Stand der Technik. Auch dies soll nicht weiter erläutert werden.

Nachfolgend wird vielmehr ein Verfahren zur Herstellung der erfindungsgemäßen nichtflüchtigen Speicherzelle nach dem ersten Ausführungsbeispiel unter Bezugnahme auf die Fig. 5A bis 5H näher erläutert. Die Fig. 5A bis 5H sind hierbei Querschnitte durch die nichtflüchtige Speicherzelle entlang der Linie A-A' von Fig. 4A.

Zunächst wird gemäß den Fig. 5A und 5B ein Substrat 21 eines ersten Leitfähigkeitstyps präpariert und zur Verfügung gestellt. Sodann werden auf dieses Substrat 21 der Reihe nach aufeinanderliegend eine erste Isolationsschicht 22 und eine erste leitende Schicht 23 aufgebracht. Das Substrat 21 vom ersten Leitfähigkeitstyp ist ein leicht dotiertes P-Typ Siliziumsubstrat. Die erste Isolationsschicht 22 dient als Gate-Isolationsschicht und ist hinreichend dünn, um ein Tunneln von Elektronen zu ermöglichen. Dabei besteht die erste Isolationsschicht 22 aus einem Siliziumoxid, wobei die Siliziumoxidschicht 22 durch thermische Oxidation oder durch ein CVD Verfahren (chemische Dampfabcheidung im Vakuum) gebildet wird. Die erste leitende Schicht 23 besteht aus Polysilizium vom N+ Typ, das stark dotiert ist.

Entsprechend der Fig. 5C wird auf der ersten leitenden Schicht 23 eine Maske 24 mit einer Öffnung 24a gebildet. Die Öffnung 24a dient zur Bildung des oberen Teils des Floatinggates 16 in Fig. 4B, also zur Bildung des nach oben vorstehenden Teils des Floatinggates 16.

Sodann wird entsprechend Fig. 5D eine zweite leitende Schicht 25 auf die die Öffnung 24a aufweisende Maske 24 aufgebracht, um die Öffnung 24a vollständig auszufüllen. Die Öffnung 24a wird also vollständig mit dem leitenden Material der zweiten leitenden Schicht 25 ausgefüllt. Danach wird gemäß Fig. 5E die zweite leitende Schicht 25 zurückgeätzt, und zwar bis zur Oberfläche der ersten Maske 24, um ein zweites leitendes Schichtmuster 25a in der Öffnung 24a zu erhalten. Das zweite leitende Schichtmuster 25a dient als oberer Teil des invers T-förmigen Floatinggates 16 in Fig. 4B.

Gemäß den Fig. 5F und 5G wird sodann die erste Maske 24 entfernt, wonach eine zweite Isolationsschicht 26 und dann eine dritte leitende Schicht 27 nacheinander aufeinanderliegend auf der so erhaltenen Struktur gebildet werden. Zu dieser Zeit erstreckt sich die dritte leitende Schicht 27 in derselben Richtung, in der sich auch der Öffnungsbereich 24a der ersten Maske 24 und die erste leitende Schicht 23 erstrecken. Sodann erfolgt die Bildung einer zweiten Maske 28 in einem vorbestimmten Teil auf der dritten leitenden Schicht 27 oberhalb des zweiten leitenden Schichtmusters 25a, wobei die zweite Maske 28 breiter ist als der Öffnungsbereich 24a der ersten Maske 24. Die Breite der zweiten Maske 28 kann so gewählt werden, daß ihre Seiten die vertikal stehenden Außenkanten der zweiten Isolationsschicht 26 überragen.

Sodann werden gemäß Fig. 5H die dritte leitende Schicht 27, die zweite Isolationsschicht 26 und die erste leitende Schicht 23 zusammen strukturiert, um ein erstes leitendes Schichtmuster 23a, ein zweites isolierendes Schichtmuster 26a und ein drittes leitendes Schichtmuster 27a zu erhalten. Im vorliegenden Fall bestehen die erste leitende Schicht 23, die zweite leitende Schicht 25

und die dritte leitende Schicht 27 aus N+ Typ Polysilizium. Die zweite isolierende Schicht 26 ist eine Siliziumoxidschicht oder eine eine Schichtstruktur bzw. Stapelstruktur aufweisende Isolationsschicht. Die Stapelstruktur-Isolationsschicht 26 kann eine ONO- oder eine NO-Struktur aufweisen.

Sodann wird die zweite Maske 28 entfernt. Danach werden in das Substrat 21 in hoher Konzentration Ionen eines zweiten Leitfähigkeitstyps implantiert, also Ionen vom N+ Typ. Hierzu wird das dritte leitende Schichtmuster 27a als Ionenimplantationsmaske verwendet, so daß Verunreinigungsdiffusionsbereiche in einem vorbestimmten Abstand im Substrat 21 erhalten werden, die als Source 29 und Drain 30 dienen.

Entsprechend der Fig. 5H bildet das erste leitende Schichtmuster 23a den unteren Teil des Floatinggates mit inverser T-förmiger Struktur, während das zweite leitende Schichtmuster 25a den zweiten Teil des Floatinggates bildet, also den vom ersten Teil 23a senkrecht nach oben abstehenden Zentralbereich der T-förmigen Struktur.

2. Ausführungsbeispiel

Die Fig. 6A, 6B und 6C zeigen eine nichtflüchtige Speicherzelle bzw. Permanentenspeicherzelle nach einem zweiten Ausführungsbeispiel der vorliegenden Erfindung.

Bei den Fig. 6A, 6B und 6C ist der sich überlagernde Flächenbereich von Floatinggate und Steuergate im Vergleich zur konventionellen nichtflüchtigen Speicherzelle ebenfalls vergrößert, ähnlich zu dem Fall gemäß den Fig. 4A, 4B und 4C.

Beim zweiten Ausführungsbeispiel der vorliegenden Erfindung erstreckt sich jedoch das Floatinggate mit inverser T-förmiger Struktur in derselben Richtung, in der sich auch der aktive Bereich erstreckt. Dagegen liegt die Erstreckungsrichtung des Floatinggates senkrecht zur Richtung, in der sich das Steuergate erstreckt.

Die Fig. 6A zeigt eine Draufsicht auf die nichtflüchtige Speicherzelle nach dem zweiten Ausführungsbeispiel der Erfindung. Entsprechend der Fig. 6A enthält die nichtflüchtige Speicherzelle nach dem zweiten Ausführungsbeispiel der Erfindung u. a. ein Substrat 31 eines ersten Leitfähigkeitstyps (P-Typ Substrat), einen aktiven Bereich 35 in einem vorbestimmten Teil des Substrats 31 vom ersten Leitfähigkeitstyp, wobei sich im aktiven Bereich 35 ein Sourcebereich 32 und ein Drainbereich 33 eines zweiten Leitfähigkeitstyps (N+ Typ) sowie ein Kanalbereich 34 zwischen Source 32 und Drain 33 befinden, ein Floatinggate 36 mit inverser T-förmiger Struktur auf der Oberfläche des Substrats 31 zwischen Source 32 und Drain 33, sowie ein Steuergate 37 auf der Oberfläche des Floatinggates 36, das die umgekehrt T-förmige Form aufweist. Die umgekehrt T-förmige Struktur des Floatinggates 36 erstreckt sich in derselben Richtung, in der sich auch der aktive Bereich 35 erstreckt, erstreckt sich jedoch senkrecht zur Richtung des Steuergates 37.

Die Fig. 6B zeigt einen Querschnitt der nichtflüchtigen Speicherzelle entlang der Linie A-A' von Fig. 6A. Entsprechend der Fig. 6B befinden sich in der Oberfläche des Substrats 31 vom ersten Leitfähigkeitstyp unter vorbestimmtem Abstand voneinander ein Sourcebereich 32 und ein Drainbereich 33 vom zweiten Leitfähigkeitstyp. Der Bereich zwischen Source 32 und Drain 33 ist der Kanalbereich 34.

Eine Gate-Isolationsschicht 38 befindet sich auf der

Oberfläche des Substrats zwischen Source 12 und Drain 13. Beide einander gegenüberliegende Kanten der Gate-Isolationsschicht 38 überlappen dabei jeweils einen Teil von Source 32 und Drain 33. Auf der Gate-Isolationsschicht 38 befinden sich übereinanderliegend das Floatinggate 36, eine Kondensatorisolationsschicht 39 und ein Steuergate 37.

Die Fig. 6C zeigt einen Querschnitt durch die nicht-flüchtige Speicherzelle nach dem zweiten Ausführungsbeispiel entlang der Linie B-B' von Fig. 6A. Entsprechend der Fig. 6C sind zwei Kanalstoppbereiche 40a und 40b in der Oberfläche des Substrats 31 vom ersten Leitfähigkeitstyp in vorbestimmtem Abstand voneinander gebildet. Sie dienen dazu, in einem Array von nicht-flüchtigen Speicherzellen benachbarte Zelle elektrisch voneinander zu isolieren. Die Breite zwischen den Kanalstoppbereichen 40a und 40b definiert hier die Breite des aktiven Bereichs 35. Dieser aktive Bereich 35 erstreckt sich in Fig. 6C senkrecht zur Zeichenebene. In derselben Richtung erstreckt sich auch die Längsrichtung des Floatinggates 36 mit umgekehrt T-förmiger Struktur. Die Gate-Isolationsschicht 38 befindet sich auf einem Teil des Substrats 31 zwischen den Kanalstoppbereichen 40a und 40b und überdeckt zum Teil die aufeinander zu weisenden Kanten dieser Kanalstoppbereiche 40a und 40b. Beide einander gegenüberliegenden Kanten der Gate-Isolationsschicht 38 liegen also zum Teil auf den Kanalstoppbereichen 40a und 40b auf. Auf der Gate-Isolationsschicht 38 liegen der Reihe nach aufeinander das Floatinggate 36, eine Kondensatorisolationsschicht 39 und das Steuergate 37.

Wie oben beschrieben, ähnelt das zweite Ausführungsbeispiel dem ersten Ausführungsbeispiel, unterscheidet sich von diesem jedoch darin, daß sich das Floatinggate 36 mit inverser T-förmiger Struktur senkrecht zur Richtung erstreckt, in der sich das Steuergate 37 erstreckt. Andererseits erstreckt sich das Floatinggate 36 in derselben Richtung, in der sich auch der aktive Bereich 35 erstreckt. Die Herstellung des zweiten Ausführungsbeispiels erfolgt in derselben Weise wie die des ersten Ausführungsbeispiels, so daß hierauf nicht nochmals eingegangen zu werden braucht.

Die oben beschriebenen beiden Ausführungsbeispiele der vorliegenden Erfindung weisen die folgenden Vorteile auf. Infolge der umgekehrt T-förmigen Struktur des Floatinggates läßt sich der sich überlagernde Flächenbereich von Floatinggate und Steuergate vergrößern. Auch beim zweiten Ausführungsbeispiel umgreift das Steuergate beidseitig den Vertikalteil der umgekehrt T-förmigen Struktur des Floatinggates vom freien Ende her. Die Kapazität C1, gebildet durch Floatinggate und Steuergate, läßt sich somit erhöhen und damit auch das Kondensatorkopplungsverhältnis CC. Der gewünschte Oberflächenbereich des Kondensators C1 kann darüber hinaus durch Steuerung der Höhe H eingestellt werden, also durch Einstellung der Höhe H des oberen Teils der umgekehrt T-förmigen Struktur gemäß Fig. 4B, also durch Einstellung der Länge des nach oben abstehenden Zentralbereichs des umgekehrten T's.

Darüber hinaus läßt sich der gewünschte Oberflächenbereich des Kondensators unabhängig von der Länge des Kanalbereichs einstellen, so daß die Erfindung vorteilhaft bei nichtflüchtigen Speicherzellen bzw. Permanent-Speicherzellen zum Einsatz kommen kann, die einen MOS Transistor mit kurzem Kanalbereich aufweisen.

1. Nichtflüchtige Speicherzelle mit:

- einem Substrat (11) eines ersten Leitungstyps;
- einem aktiven Bereich (15) in einem vorbestimmten Teil des Substrats (11) vom ersten Leitungstyp, wobei der aktive Bereich (15) einen Sourcebereich (12) und einen Drainbereich (13) jeweils eines zweiten Leitungstyps und einen zwischen Source (12) und Drain (13) liegenden Kanalbereich (14) aufweist;
- einem Floatinggate (16) mit umgekehrt T-förmiger Struktur auf der Oberfläche des Substrats (11) zwischen Source (12) und Drain (13); und
- einem Steuergate (17) auf der Oberfläche des Floatinggates (16), das die umgekehrt T-förmige Struktur aufweist.

2. Nichtflüchtige Speicherzelle nach Anspruch 1, dadurch gekennzeichnet, daß der aktive Bereich (15) und das Steuergate (17) sich senkrecht zueinander erstrecken.

3. Nichtflüchtige Speicherzelle nach Anspruch 1, dadurch gekennzeichnet, daß sie weiterhin folgendes enthält:

- eine Gate-Isolationsschicht (18) zwischen dem Substrat (11) und dem Floatinggate (16), die hinreichend dünn ausgebildet ist, um ein Tunneln von Elektronen zu ermöglichen; und
- eine Kondensatorisolationsschicht (19) zwischen dem Floatinggate (16) und dem Steuergate (17) zur Isolierung des Floatinggates (16) gegenüber dem Steuergate (17).

4. Nichtflüchtige Speicherzelle nach Anspruch 3, dadurch gekennzeichnet, daß die Gate-Isolationsschicht (18) eine Siliziumoxidschicht ist.

5. Nichtflüchtige Speicherzelle nach Anspruch 3, dadurch gekennzeichnet, daß die Kondensatorisolationsschicht (19) eine Siliziumoxidschicht ist.

6. Nichtflüchtige Speicherzelle nach Anspruch 3, dadurch gekennzeichnet, daß die Kondensatorisolationsschicht (19) eine Stapelschicht-Isolationsschicht ist, gebildet aus einer Siliziumoxidschicht/einer Nitridschicht/und einer Siliziumoxidschicht.

7. Nichtflüchtige Speicherzelle nach Anspruch 3, dadurch gekennzeichnet, daß die Kondensatorisolationsschicht (19) eine Stapelschicht-Isolationsschicht ist, gebildet aus einer Nitridschicht/Siliziumoxidschicht.

8. Nichtflüchtige Speicherzelle nach Anspruch 1, dadurch gekennzeichnet, daß sie weiterhin Kanalstoppbereiche (20a, 20b) an beiden Seiten des Floatinggates (16) auf der Oberfläche des Substrats (11) in einer Richtung aufweist, in der sich das Steuergate (17) erstreckt.

9. Nichtflüchtige Speicherzelle nach Anspruch 8, dadurch gekennzeichnet, daß beide Kanten des Floatinggates (16) die nahegelegenen Kanalstoppbereiche (20a, 20b) teilweise überlappen.

10. Nichtflüchtige Speicherzelle nach Anspruch 1, dadurch gekennzeichnet, daß das Substrat (11) des ersten Leitungstyps P-Typ Polysilizium ist, daß Source (12) und Drain (13) durch N+ Typ Verunreinigungsdiffusionsbereiche gebildet sind, und daß ferner das Floatinggate (16) und das Steuergate (17) aus N+ Polysilizium bestehen.

11. Nichtflüchtige Speicherzelle nach Anspruch 1,

dadurch gekennzeichnet, daß die Höhe (H) des oberen Teils des Floatinggates (16) mit umgekehrt T-förmiger Struktur einstellbar ist, um eine gewünschte Kapazität zwischen dem Steuergate (17) und dem Floatinggate (16) zu erhalten.

12. Nichtflüchtige Speicherzelle nach einem der Ansprüche 1 bis 11, dadurch gekennzeichnet, daß das Floatinggate (36) mit umgekehrt T-förmiger Struktur sich in einer Richtung erstreckt, in der sich auch der aktive Bereich (35) erstreckt.

13. Nichtflüchtige Speicherzelle nach einem der Ansprüche 1 bis 11, dadurch gekennzeichnet, daß das Floatinggate (16) mit umgekehrt T-förmiger Struktur sich in einer Richtung erstreckt, die senkrecht zu derjenigen Richtung liegt, in der sich der aktive Bereich (15) erstreckt.

14. Verfahren zur Herstellung einer nichtflüchtigen Speicherzelle bzw. Permanentspeicherzelle mit folgenden Schritten:

- auf ein Substrat (21) vom ersten Leitungstyp werden der Reihe nach aufeinanderliegend eine erste Isolationsschicht (22) und eine erste leitende Schicht (23) aufgebracht;

- in einem vorbestimmten Teil auf der Oberfläche der ersten leitenden Schicht (23) wird eine Maske (24) mit einem Öffnungsbereich (24a) aufgebracht;

- Bildung einer zweiten leitenden Schicht (25) auf der Oberfläche der den Öffnungsbereich (24a) aufweisenden ersten Maske (24) und Rückätzen der zweiten leitenden Schicht (25) bis zur Oberfläche der ersten Maske (24) zwecks Bildung eines zweiten leitenden Schichtmusters (25a) im Öffnungsbereich (24a);

- Entfernen der Maske (24) und sequentielles Aufbringen einer zweiten isolierenden Schicht (26) und einer dritten leitenden Schicht (27) auf die Oberfläche des zweiten leitenden Schichtmusters (25a) und des freiliegenden Teils der ersten leitenden Schicht (23);

- Bildung einer zweiten Maske (28) breiter als der Öffnungsbereich (24a) der ersten Maske (24) auf einem vorbestimmten Teil der dritten leitenden Schicht (27), die sich auf dem zweiten leitenden Schichtmuster (25a) befindet, sowie Strukturieren der dritten leitenden Schicht (27), der zweiten isolierenden Schicht (26) und der ersten leitenden Schicht (23), ggf. zusammen, zwecks Bildung eines ersten leitenden Schichtmusters (23a), eines ersten isolierenden Schichtmusters (26a) als Kondensatorisolationsschicht sowie eines dritten leitenden Schichtmusters (27a) als Steuergate; und

- Implantieren von Verunreinigungen eines zweiten Leitungstyps in das Substrat (21) unter Verwendung des dritten leitenden Schichtmusters (27a) als Ionenimplantationsmaske, um im Substrat (21) Verunreinigungsdiffusionsbereiche in einem vorbestimmten Abstand voneinander zu erhalten, die jeweils einen Sourcebereich (29) und einen Drainbereich (30) bilden.

15. Verfahren nach Anspruch 14, dadurch gekennzeichnet, daß die erste Isolationsschicht (22) hinreichend dünn ausgebildet ist, um ein Tunneln von Elektronen zu ermöglichen.

16. Verfahren nach Anspruch 14, dadurch gekenn-

zeichnet, daß die erste Isolationsschicht (22) durch thermische Oxidation oder durch ein CVD-Verfahren hergestellt wird.

17. Verfahren nach Anspruch 16, dadurch gekennzeichnet, daß das Verfahren zur thermischen Oxidation ein LOCOS-Verfahren ist.

18. Verfahren nach Anspruch 14, dadurch gekennzeichnet, daß die erste Isolationsschicht (22) als Siliziumoxidschicht hergestellt wird.

19. Verfahren nach Anspruch 14, dadurch gekennzeichnet, daß das erste leitende Schichtmuster (23a) zusammen mit dem zweiten leitenden Schichtmuster (25a) das Floatinggate mit umgekehrt T-förmiger Struktur bilden.

20. Verfahren nach Anspruch 14, dadurch gekennzeichnet, daß als Substrat (21) vom ersten Leitungstyp ein P-Typ Siliziumsubstrat verwendet wird, und daß zur Bildung von Sourcebereich (19) und Drainbereich (30) vom zweiten Leitungstyp N+ Typ Verunreinigungsdiffusionsbereiche erzeugt werden.

21. Verfahren nach Anspruch 14, dadurch gekennzeichnet, daß sich der Öffnungsbereich (24a) der ersten Maske (24) in derselben Richtung erstreckt, in der sich auch das dritte leitende Schichtmuster (27a) erstreckt.

22. Verfahren nach Anspruch 14, dadurch gekennzeichnet, daß sich der Öffnungsbereich (24a) der ersten Maske (24) in einer Richtung erstreckt, die senkrecht zur Richtung liegt, in der sich das dritte leitende Schichtmuster (27a) erstreckt.

23. Verfahren nach Anspruch 14, dadurch gekennzeichnet, daß die erste (23), die zweite (25) und die dritte (27) leitende Schicht aus N+ Polysilizium hergestellt werden.

24. Verfahren nach Anspruch 14, dadurch gekennzeichnet, daß die zweite Isolationsschicht (26) durch eine Siliziumoxidschicht oder durch Aufeinanderstapeln von Isolationsschichten gebildet wird.

25. Verfahren nach Anspruch 24, dadurch gekennzeichnet, daß die durch Aufeinanderstapeln von isolierenden Schichten gebildete Stapelschichtstruktur eine ONO- oder eine NO-Struktur aufweist.

Hierzu 7 Seite(n) Zeichnungen

Fig. 1A

Stand der Technik

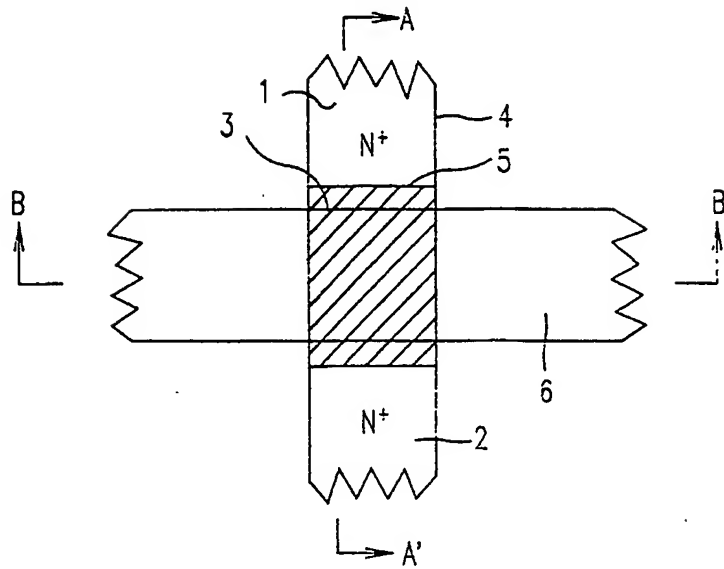


Fig. 1B

Stand der Technik

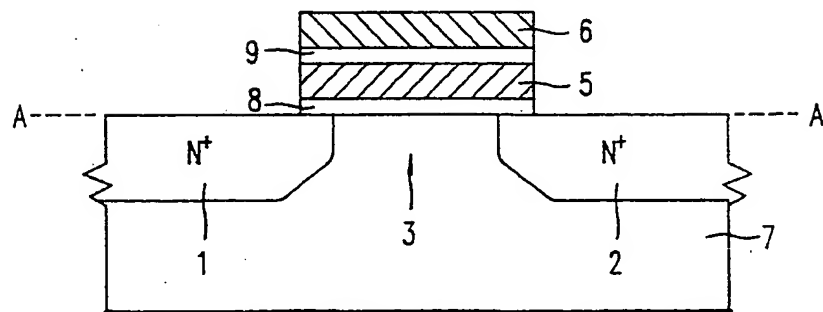


Fig. 1C

Stand der Technik

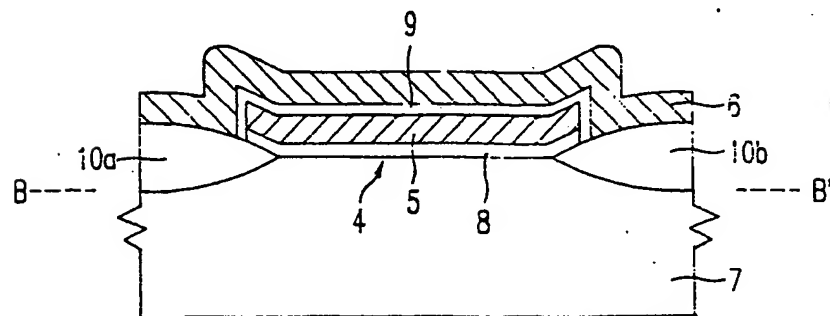


Fig. 2

Stand der Technik

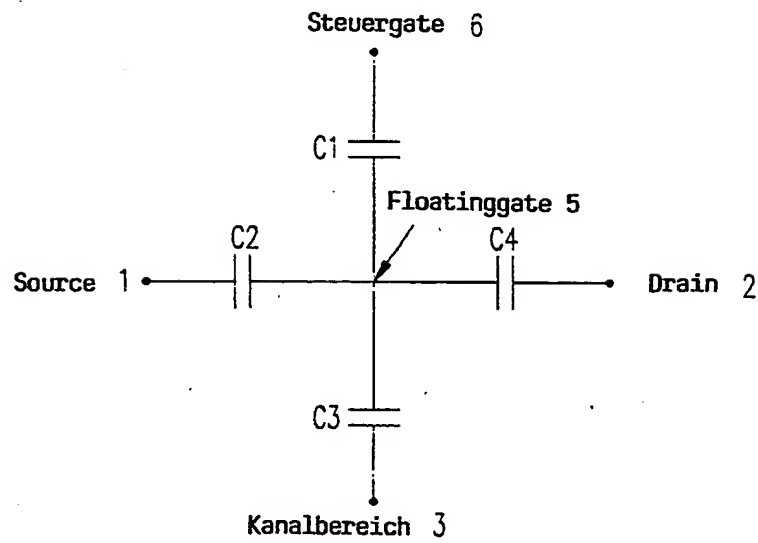


Fig. 3

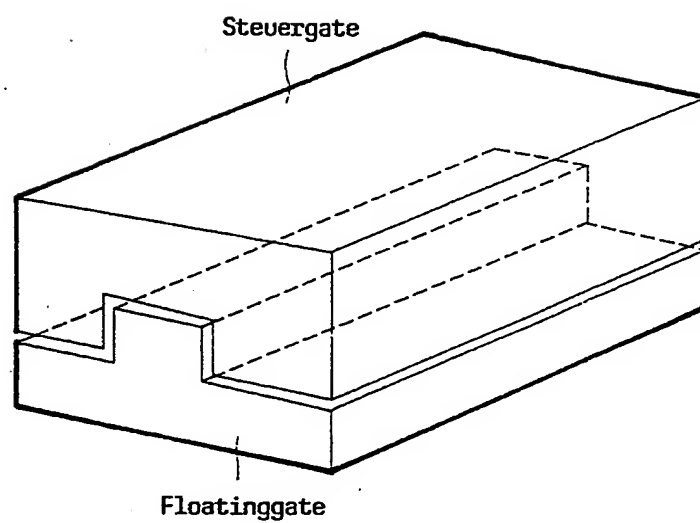


Fig. 4A

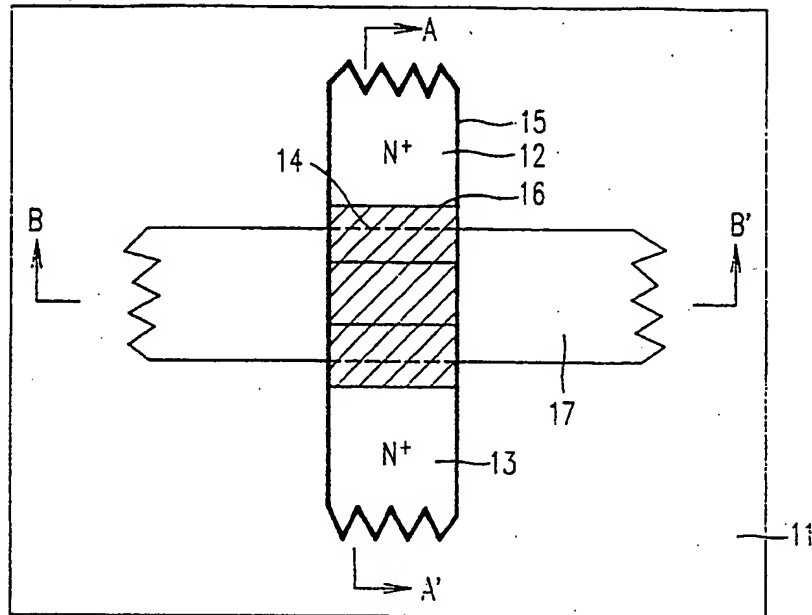


Fig. 4B

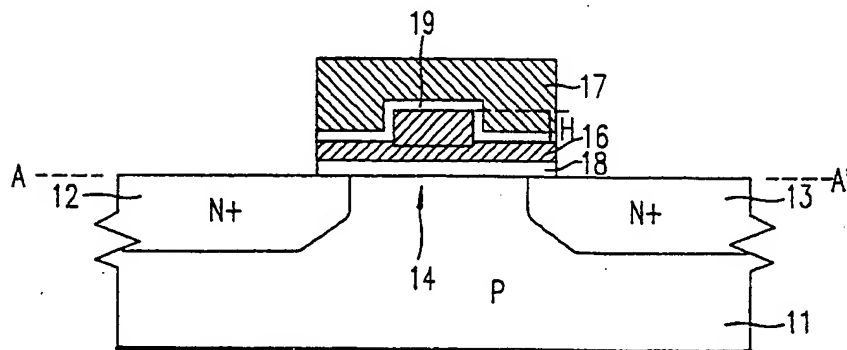


Fig. 4C

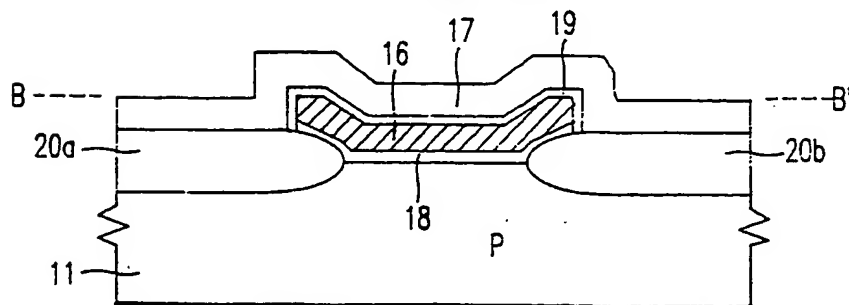


Fig. 5A

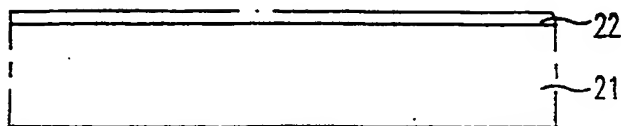


Fig. 5B

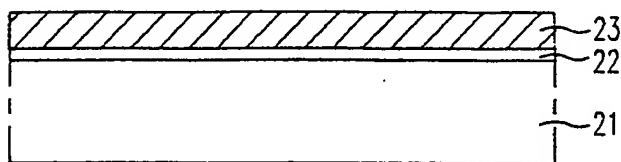


Fig. 5C

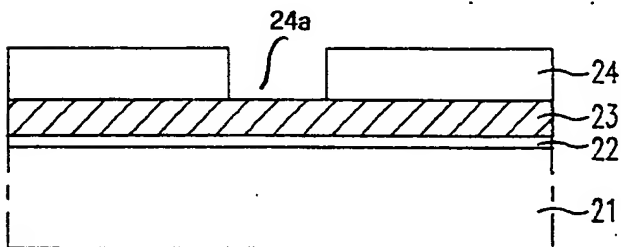


Fig. 5D

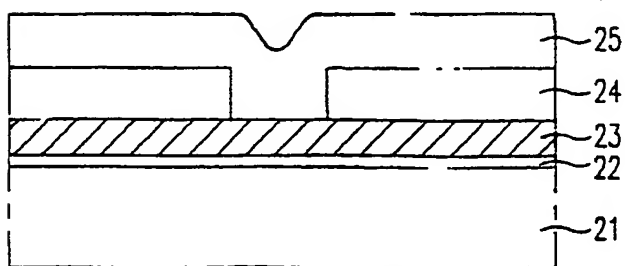


Fig. 5E

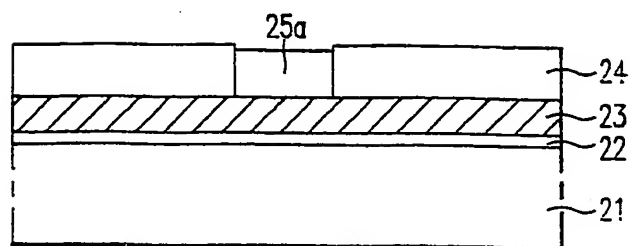


Fig. 5F

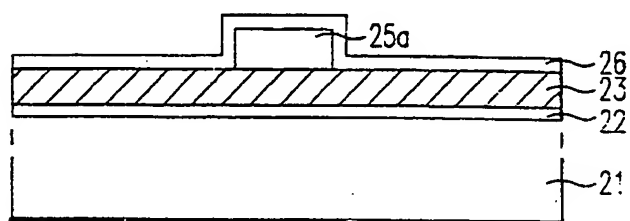


Fig. 5G

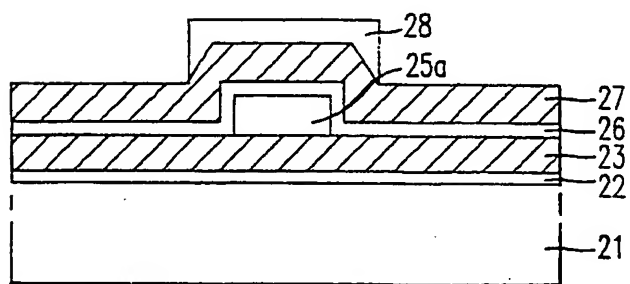


Fig. 5H

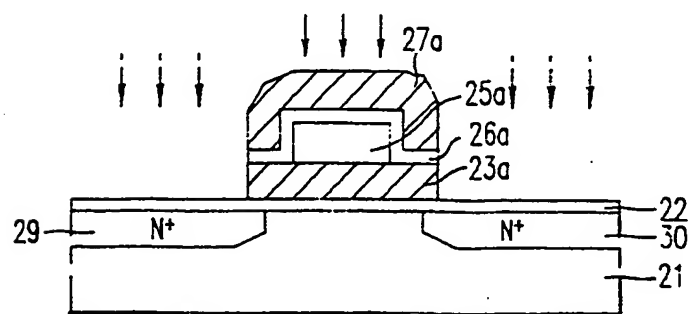


Fig. 6A

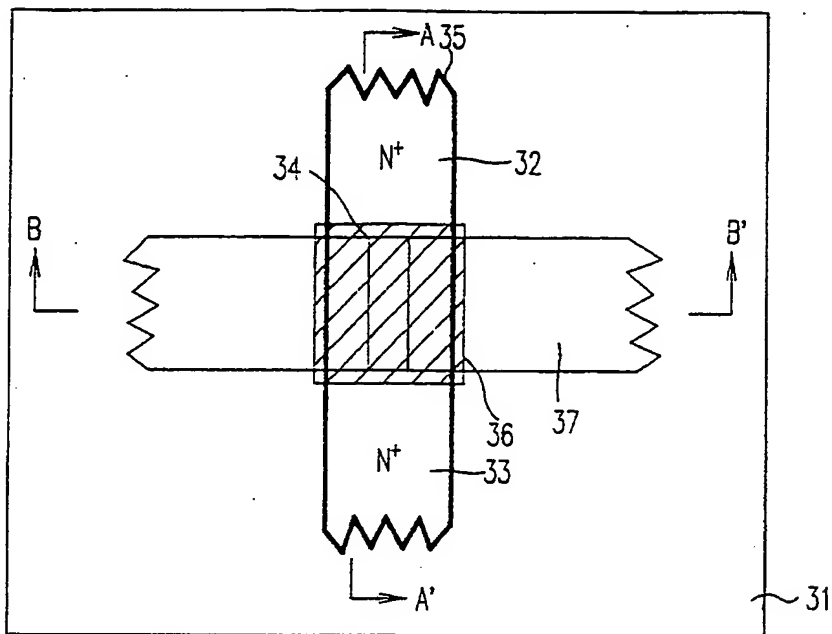


Fig. 6B

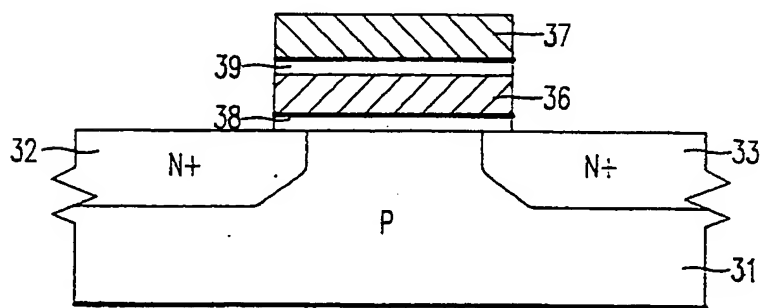


Fig. 6C

